



Docket No.: 22171-00014-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Terry B.J. Kuo et al.

Application No.: 10/708,645

Confirmation No.: 2644

Filed: March 17, 2004

Art Unit: N/A

For: PULSE INTERVAL TO VOLTAGE
CONVERTER AND CONVERSION METHOD
THEREOF

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Taiwan, Republic of China	092113765	May 21, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Application No.: 10/708,645

Docket No.: 22171-00014-US

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22171-00014-US from which the undersigned is authorized to draw.

Dated: March 17, 2004

Respectfully submitted,

By


Larry J. Hume

Registration No.: 44,163

CONNOLLY BOVE LODGE & HUTZ LLP

1990 M Street, N.W., Suite 800

Washington, DC 20036-3425

(202) 331-7111

(202) 293-6229 (Fax)

Attorney for Applicant

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

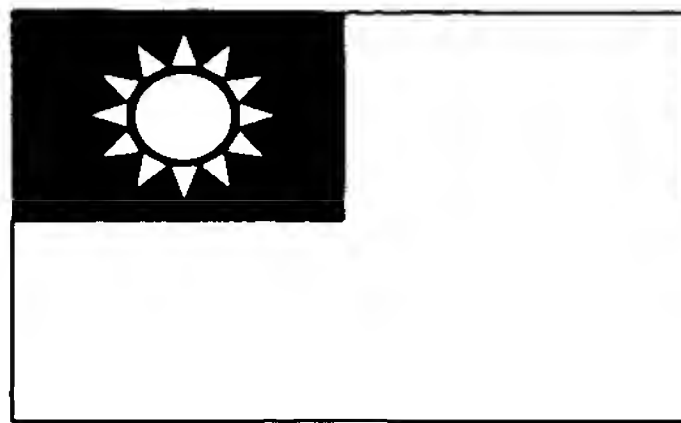
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 21 日
Application Date

申請案號：092113765
Application No.

申請人：麗臺科技股份有限公司、郭博昭、楊靜修
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 2 日
Issue Date

發文字號：09320197520
Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：_____ ※IPC分類：_____

※申請日期：_____

壹、發明名稱

(中文) 脈衝間距至電壓轉換器及其轉換方法

(英文)

貳、發明人(共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 郭博昭

(英文)

住居所地址：(中文) 花蓮縣吉安鄉北昌村 30 鄰北昌五街 52 號 7 樓之 2

(英文)

國籍：(中文) 中華民國

(英文)

參、申請人(共 3 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 麗臺科技股份有限公司

(英文) LEADTEK RESEARCH INC.

住居所或營業所地址：(中文) 台北縣中和市建一路 166 號 18 樓

(英文)

國籍：(中文) 中華民國

(英文)

代表人：(中文) 盧崑山

(英文)

發明人 2

姓名：(中文) 楊靜修

(英文) CHERYL C.H. YANG

住居所地址：(中文) 花蓮縣吉安鄉北昌村 30 鄰北昌五街 52 號 7 樓之 2

(英文)

國籍：(中文) 中華民國

(英文)

申請人 2

姓名或名稱： (中文) 郭博昭
(英文)

住居所或營業所地址： (中文) 花蓮縣吉安鄉北昌村 30 鄰北昌五街 52 號 7
樓之 2
(英文)

國 籍： (中文) 中華民國 (英文)

代表人： (中文) (英文)

申請人 3

姓名或名稱： (中文) 楊靜修
(英文) CHERYL C.H. YANG

住居所或營業所地址： (中文) 花蓮縣吉安鄉北昌村 30 鄰北昌五街 52 號 7
樓之 2
(英文)

國 籍： (中文) 中華民國 (英文)

代表人： (中文) (英文)

肆、中文發明摘要

本發明揭示一脈衝間距至電壓轉換器及其轉換方法，其包含一時脈產生器、一計數器、一栓鎖、一數位-類比轉換器、一延遲單元、一頻率調整器及一限流保護單元。本發明相較於習知技藝增加了該延遲單元、頻率調整器及限流保護單元。該延遲單元可程式化預設延遲時間，以延遲該計數器歸零的時機，藉以調整輸出電壓的基準線。該頻率調整器可調整該時脈產生器之時脈產生頻率，藉以調整輸出電壓的解析度。該限流保護單元可在延遲單元運作時阻止外界訊號的進入，以避免雜訊的干擾。

伍、英文發明摘要

陸、(一)、本案指定代表圖為：第 2(a) 圖

(二)、本代表圖之元件代表符號簡單說明：

20 脈衝間距至電壓轉換器

21 計數器

22 栓鎖

23 數位-類比轉換器

24 延遲單元

25 頻率調整器

26 限流保護單元

27 時脈產生器

28 脈衝

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 本案在向中華民國提出申請前未曾向其他國家提出申請專利。

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明係關於一種脈衝間距至電壓轉換器 (Pulse Interval to Voltage Converter, PIVC) 及其轉換方法，特別是關於一種可程式化之脈衝間距至電壓轉換器及其轉換方法。

先前技術

脈衝間距至電壓轉換器是工業與生物醫學上常用的裝置，其可將各脈衝的間距以電壓的形式表現。如圖 1(a) 所示，T1 至 T6 分別為各脈衝 11 之間距，其轉換後的電壓係與各脈衝 11 的間距長短成正向關係，即間距愈大者之輸出電壓愈大。此外，依不同的設計形式，脈衝間距至電壓轉換器可簡單分為類比式與數位式兩種。

參照圖 1(b)，數位式脈衝間距至電壓轉換器的原理是利用一計數器 (counter) 13 在接受一脈衝 (pulse) 11 後開始計數，而在接受下一個脈衝 11 時歸零且再重新計數。該計數器 13 在歸零前必須將所得的計數值傳送到一栓鎖 (latch) 14，而一數位-類比轉換器 (Digital to Analog Converter, DAC) 15 則可將代表脈衝間距之該計數值轉換為一電壓訊號。

然而，上述之設計存在以下幾個問題：

(1) 輸出電壓的解析度不高：

以 8 位元來顯示輸出電壓為例，由於一脈衝間距頂多被區分為 256 個層次，而其與下一個脈衝間距的差異通常在 10% 以內。也就是說 256 個層次中約只

有 26 個層次用來區別相鄰兩脈衝間距的差異，故其位元使用效率低落，連帶地使得電壓顯示的解析度無法提昇。換言之，增進解析度的方法似乎只有採用更高位元的計數器、栓鎖與數位-類比轉換器，但此舉將大幅提高成本；及

(2) 易受干擾：

當一雜訊發生在兩個正常脈衝之間，由於該雜訊亦會被當作一脈衝，該計數器 13 會提前歸零，而大幅減小該栓鎖 14 所得的計數值。參照圖 1(c)，若一雜訊 16 發生於正常的兩脈衝 11 之間，該計數器 13 傳送該栓鎖 14 之計數值將大幅減小，故正常的脈衝 11 的電壓輸出將會是該雜訊 16 的電壓輸出的好幾倍。

由於傳統的方法有上述解析度低落及易受干擾的問題存在，所以改良設計有其必要性。

技術內容

本發明之目的係提供一可程式化之脈衝間距至電壓轉換器及其轉換方法，用以預設延遲計算該兩脈衝間之時脈數目及調整電壓輸出解析度，以便於依不同的需要進行調整。此外，本發明之脈衝間距至電壓轉換器及其轉換方法可於延遲時間內忽略脈衝訊號，以避免短週期雜訊的影響。

本發明之脈衝間距至電壓轉換器包含一時脈產生器 (clock generator)、一計數器、一栓鎖、一數位-類比轉換器

及一延遲(delay)單元。該時脈產生器係用以產生時脈(clock)訊號，且該時脈訊號係提供至該計數器及延遲單元。該計數器係用以計算該時脈訊號於兩脈衝間之時脈數目為一計數值，且可接受該延遲單元產生之一歸零訊號，以進行重置歸零。該栓鎖係用以接收且鎖住該計數器瞬時之計數值。該數位-類比轉換器係用以將該栓鎖鎖住之該計數值轉換為一電壓的類比訊號。該延遲單元係用以延遲該計數器計算該兩脈衝間之時脈數目，藉以調整其輸出電壓的基準線。

本發明之脈衝間距至電壓轉換方法，包含步驟(a)至(d)。步驟(a)為延遲一輸入脈衝訊號。步驟(b)為計算該輸入脈衝訊號和前一個輸入脈衝訊號之間的時間。步驟(c)為將該時間轉換為一數位電壓值。步驟(d)為將該數位電壓值轉換為一類比電壓值。

此外，該脈衝間距至電壓轉換器可另包含一頻率調整器及一限流保護(underflow protection)單元。該頻率調整器可為一除頻器(frequency divider)或一倍頻器(frequency multiplier)，該頻率調整器可調整輸出電壓的解析度。該限流保護單元可在該延遲單元運作時阻止外界訊號的進入，以避免雜訊的干擾。

實施方式

本發明首先將以圖 2(a)所示之一脈衝間距至電壓轉換器 20 為例進行簡單的說明，用以凸顯本發明之技術特徵及其優點。該脈衝間距至電壓轉換器 20 包含一計數器

21、一栓鎖 22、一數位-類比轉換器 23、一延遲單元 24、一頻率調整器 25、一限流保護單元 26 及一時脈產生器 27。脈衝 28 經由一延遲單元 24 輸入後，最後將由該數位-類比轉換器 23 轉為類比的電壓輸出訊號。該脈衝間距至電壓轉換器 20 相較於習知技藝增加了該延遲單元 24、頻率調整器 25 及限流保護單元 26。該延遲單元 24 可程式化預設延遲時間，以延遲該計數器 21 歸零的時機。若預設延遲 Y 個時脈，而各時脈 28 延遲後距產生下個時脈 28 之時間分別為 T_1 至 T_6 ，其執行結果如圖 2(b)所示。當 Y 值愈大，相對地等於 T_1 至 T_6 愈小，藉此即可調整輸出電壓的基準線，但仍維持各脈衝之輸出電壓的相互關係，如圖 2(c)所示。該頻率調整器 25 可調整輸出電壓的解析度。假設該頻率調整器 25 為一倍頻器，可增加該時脈產生器 27 的時脈產生頻率，配合前述延遲單元 24，藉此增加輸出電壓的解析度，其結果如圖 2(d)之粗線所示。相反地，若欲降低解析度，則該頻率調整器 25 可採用一除頻器。該限流保護單元 26 可在該延遲單元 24 運作時（例如 Y 個時脈期間內）阻止外界訊號的進入，以避免雜訊的干擾。在此時段中，即使該計數器 21 接受到脈衝，仍不進行歸零，其如圖 2(e)所示。

以下將舉例說明一實際應用之脈衝間距至電壓轉換器之細部電路。圖 3(a)顯示本發明之脈衝間距至電壓轉換器 30 之電路方塊圖，圖 3(b)至圖 3(g)顯示其中各方塊之細部電路。該脈衝間距至電壓轉換器 30 包含一調整

(conditioning)單元 31、一同步化(synchronization)單元 32、一延遲單元 33、一計數器 34、一栓鎖 35、一數位-類比轉換器 36、一時脈產生器 37、一溢位保護(overflow protection)單元 38、一限流保護單元 39 及一頻率調整器 40。該調整單元 31 接受脈衝訊號後，將產生一觸發訊號 Trig，該觸發訊號 Trig 經由該同步化單元 32 進行相位調整，而產生一同步觸發訊號 STrig。一歸零訊號 Zero 係由該同步觸發訊號 STrig 經該延遲單元 33 產生，用以將該計數器 34 進行歸零。

該調整單元 31 的功能為接納輸入之脈衝訊號，並將該脈衝訊號調整為最高至最低電壓之間的觸發訊號 Trig，以配合後續處理之電晶體至電晶體邏輯(Transistor-Transistor Logic, TTL)規格，且將其傳輸至該同步化單元 32。

圖 3(b)係該調整單元 31 之細部電路圖，其主要係由三個放大器(Operational Amplifier, OP)構成，而形成緩衝(buffer)部份 311、反相(inversion)部份 312 及振幅調整(amplitude adjustment)部份 313，其中該反相部份 312 可利用一切換開關(A 或 B)替代。

該同步化單元 32 的功能為將該觸發訊號 Trig 進行相位調整，使其與該時脈產生器 37 之時脈同步化，而產生同步觸發訊號 STrig。該同步觸發訊號 STrig 的寬度等於該時脈的週期，且其上升及下降點皆與該時脈同步。除該同步化單元 32 之外，該時脈產生器 37 亦傳輸時脈訊號予該延遲單元 33 及該計數器 34。藉由該同步化單元 32 的設

計，可增加該計數器 34 及栓鎖 35 對該觸發訊號 Trig 之計數的正確性。該同步化單元 32 的詳細電路如圖 3(c)下方所示，其係由兩個 7474 正反器 (flip flop) 構成主體，並輔以適當的邏輯閘、反相器與被動元件。

該限流保護單元 39 的詳細電路如圖 3(c)上方所示，其主要由 7402 非或閘 (NOR 閘) 構成的栓鎖搭配適當元件而成。在觸發訊號 STrig 產生後且該 Zero 訊號尚未產生之前，即在該延遲單元 33 所預設的延遲時間內，該同步化單元 32 不再接受其他觸發訊號 Trig，以避免短週期雜訊觸發的干擾。此外，可利用一 LED (發光二極體) 在接受觸發訊號 Trig 輸入後點亮，作為訊號輸入的指示。

參照圖 3(d)，該延遲單元 33 可將該觸發訊號 STrig 延遲特定的時間後而送出該 Zero 訊號，以延後該計數器 34 歸零的時間。延遲的時脈數目可由四個數位撥盤 5、6、7、8 精確設定。兩個 40102 積體電路型計數器 (屬於互補金屬氧化物半導體系列) 提供 16 位元的解析度，並以一個 7402 非或閘將兩者訊號整合，以輸出 Zero 訊號。每個 40102 積體電路型計數器之數位輸入端皆搭配兩個數位撥盤 5、6 或 7、8 以構成人機介面，以便於參數之程式化設定。該 40102 積體電路型計數器的用量可視需求增減，或將十進位之 40102 換成二進位之 40103。

圖 3(e)顯示該計數器 34、栓鎖 35 及數位-類比轉換器 36 之電路結構。該計數器 34 主要由一 4040 元件構成，其功能為週期性地接受 Zero 訊號的重置歸零，並計數著

脈衝間的時脈數目，且將其呈現於數位輸出端上。由該計數器 34 傳來持續增加之計數值在下一個同步觸發訊號 STrig 產生後將被凍結在該栓鎖 35 之輸出端，此計數值正是由上一個 Zero 訊號發生到這一個同步觸發訊號 STrig 發生間之時脈數目。該栓鎖 35 主要係由一個 74374 元件組成。

該計數器 34 與栓鎖 35 間另設有一溢位保護單元 38，其係由兩個 7402 構成之正反器搭配一個 7402 非或閘與被動元件而成。若上一個 Zero 訊號到這一個同步觸發訊號 STrig 的時間超過設定的位元數，即產生溢位訊號，而不採用該資料。

該數位-類比轉換器 36 可由一個數位-類比轉換器 DAC0800 輔以一個放大器與適當的被動元件構成，以同時產生直流電輸出 (DC output) 與交流電輸出 (AC output)。該數位-類比轉換器 36 的功能為轉換該栓鎖 35 輸出之數位訊號成為類比訊號，以作為本發明之脈衝間距至電壓轉換器之最終輸出。類比輸出之優點除了易於肉眼觀察外，也較能配合現有的類比分析系統與記錄系統，更重要的是容易與其他類比訊號進行同步分析。

參照圖 3(f)，該時脈產生器 37 用以產生本發明電路所須之時脈訊號，並能經由使用者調整其週期。該時脈產生器 37 可由 1 百萬赫茲 (MHz) 石英晶體及兩個 7404 反相器構成。該頻率調整器 40 於本實施例中為一除頻器，其主要係由兩個 40102 積體電路構成，並由一個 7402 非或閘

與一個 7404 反相器整合其訊號。該除頻器的設計，可降低時脈產生的頻率，藉以降低該電壓輸出的解析度。該除頻器欲減低的參數係由四個數位撥盤 1、2、3、4 輸入，其亦可視需要增減 40102 積體電路的數量，或可以將十進位之 40102 換為二進位之 40103。

圖 3(g)顯示該脈衝間距至電壓轉換器 30 之電源設計。本實施例中，該脈衝間距至電壓轉換器 30 所需電源包括 +5V、+9V 及 -9V，其中 +5V 為數位線路所需，而 +9V 與 -9V 則為類比線路所需。該 +5V 的線路由一個 LM7805 與適當之被動元件構成，+9V 與 -9V 則由一個 MAU207 輔以適當之被動元件將 +5V 電源轉換得到。

就實際應用上，本發明之脈衝間距至電壓轉換器可將心電訊號 (electrocardiogram, ECG) 轉換為心跳週期 (R-R interval) 之類比輸出，即輸入心電訊號而輸出心跳週期，以便進行心率變異性 (heart rate variability) 的分析。

此外，本發明之脈衝間距至電壓轉換器亦可應用於脈衝寬度調變 (Pulse Wide Modulation, PWM) 訊號的重組還原。本發明之線路可容忍部份短週期與長週期的 PWM 訊號中之雜訊，且對於輸入 PWM 訊號可自動排除所有超長週期與部份超短週期的異常訊號，以降低異常輸入訊號對於輸出穩定度的影響。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範

圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

圖式簡單說明

本發明將依照後附圖式加以說明，其中：

圖 1(a)係習知之脈衝間距至電壓轉換器之功能示意圖；

圖 1(b)係習知之脈衝間距至電壓轉換器之轉換示意圖；

圖 1(c)顯示雜訊對習知之脈衝間距至電壓轉換器的影響；

圖 2(a)係本發明之脈衝間距至電壓轉換器之主要電路方塊圖；

圖 2(b)係本發明之脈衝間距至電壓轉換器之轉換示意圖；

圖 2(c)至圖 2(e)顯示本發明之脈衝間距至電壓轉換器之功能改良；

圖 3(a)係本發明之脈衝間距至電壓轉換器之一實施例之電路方塊圖；及

圖 3(b)至圖 3(g)顯示圖 3(a)之電路方塊圖之細部電路。

元件符號說明

11 脈衝	13 計數器
14 栓鎖	15 數位-類比轉換器
16 雜訊	
30 脈衝間距至電壓轉換器	31 調整單元
32 同步化單元	33 延遲單元
34 計數器	35 栓鎖

36 數位-類比轉換器

37 時脈產生器

38 溢位保護單元

39 限流保護單元

40 頻率調整器

拾、申請專利範圍

1. 一種脈衝間距至電壓轉換器，包含：
 - 一延遲單元，用以延遲一輸入脈衝訊號；
 - 一計數器，連接至該延遲單元，當該計數器收到該輸入脈衝訊號後即將一計數值歸零；
 - 一栓鎖，用以鎖住該計數器於歸零前之計數值；及
 - 一數位-類比轉換器，用以將該栓鎖之計數值轉換為一類比訊號。
2. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其另包含一頻率調整器，用以調整一時脈產生器之時脈頻率。
3. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其另包含一時脈產生器，用以產生時脈訊號。
4. 如申請專利範圍第2項之脈衝間距至電壓轉換器，其中該頻率調整器為一除頻器。
5. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其另包含一同步化單元，用於使該輸入脈衝訊號與一時脈訊號同步。
6. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其另包含一限流保護電路，用於使該延遲單元在延遲該輸入脈衝訊號時不再接受其他輸入脈衝訊號。
7. 如申請專利範圍第5項之脈衝間距至電壓轉換器，其另包含一溢位保護電路，當該計數器之計數值超過一預設值時即放棄該計數值。

8. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其另包含一調整單元，用以將該輸入脈衝訊號調整為電晶體至電晶體邏輯規格。
9. 如申請專利範圍第1項之脈衝間距至電壓轉換器，其中該延遲單元包含兩個積體電路型計數器及一個非或閘。
10. 如申請專利範圍第9項之脈衝間距至電壓轉換器，其中該延遲單元另包含四個數位撥盤，各積體電路型計數器之數位輸入端搭配兩個該數位撥盤以進行設定。
11. 如申請專利範圍第4項之脈衝間距至電壓轉換器，其中該除頻器包含兩個積體電路型計數器、一非或閘及一反相器。
12. 如申請專利範圍第11項之脈衝間距至電壓轉換器，其中該除頻器另包含四個數位撥盤以進行設定。
13. 一種脈衝間距至電壓轉換方法，包含下列步驟：
 - (a) 延遲一輸入脈衝訊號；
 - (b) 計算該輸入脈衝訊號和前一個延遲後的輸入脈衝訊號之間的時間；
 - (c) 將該時間轉換為一數位電壓值；及
 - (d) 將該數位電壓值轉換為一類比電壓值。
14. 如申請專利範圍第13項之脈衝間距至電壓轉換方法，其中在步驟(b)之時間計算係計數該輸入脈衝訊號和前一個延遲後的輸入脈衝訊號之間的時脈個數。
15. 如申請專利範圍第13項之脈衝間距至電壓轉換方法，其另包含降低一時脈訊號之頻率之步驟。

16. 如申請專利範圍第13項之脈衝間距至電壓轉換方法，
其另包含下列步驟：

在該輸入脈衝訊號延遲過程時不再接受其他輸入脈衝訊號。

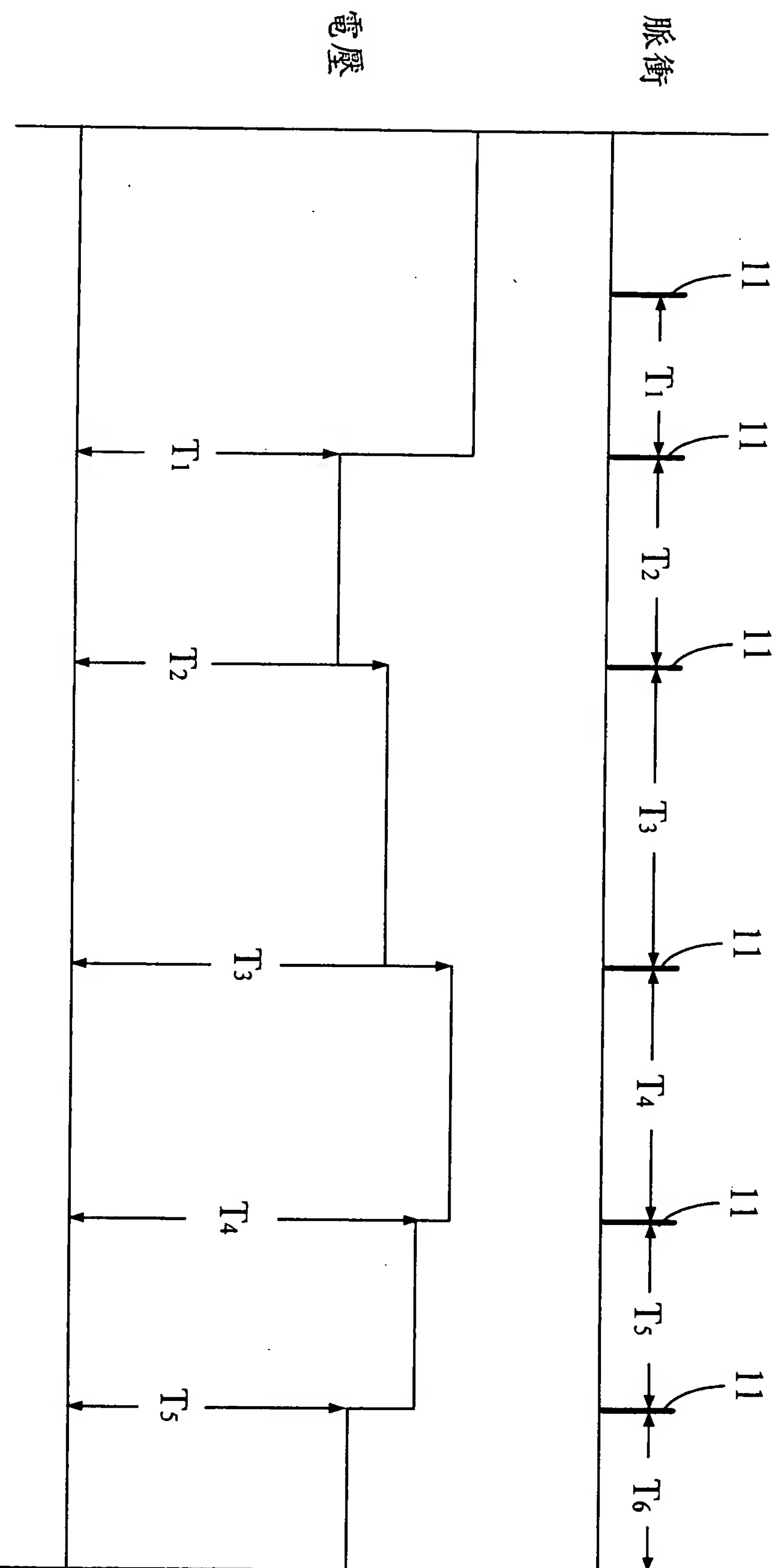


圖 1(a) (習知技藝)

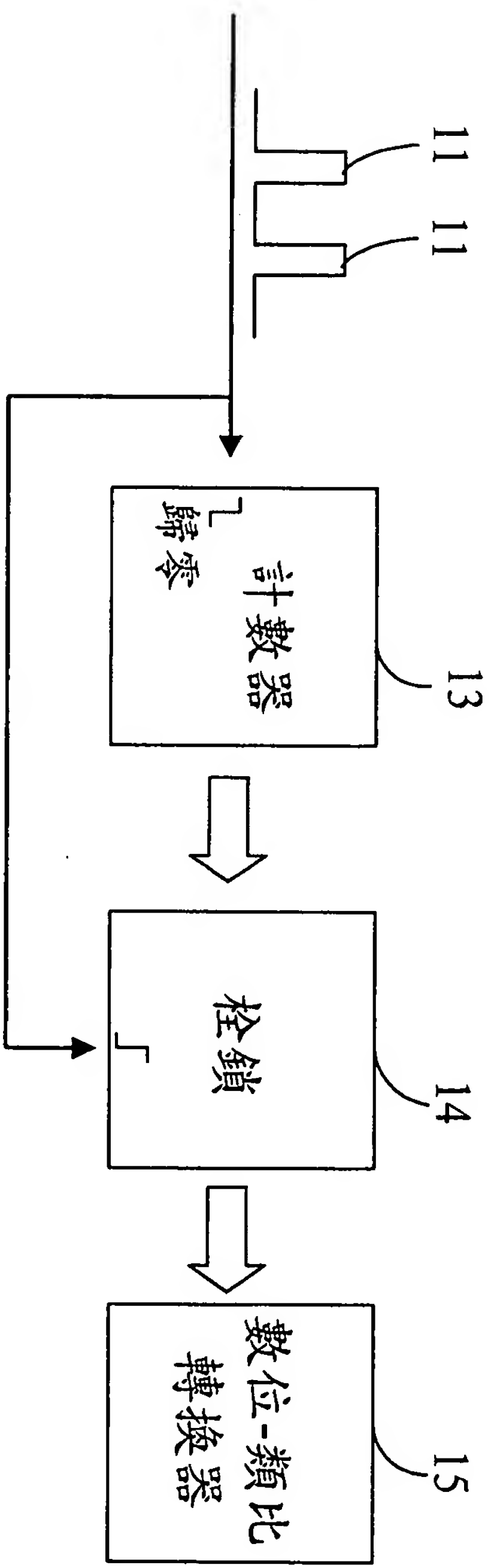


圖 1(b) (習知技藝)

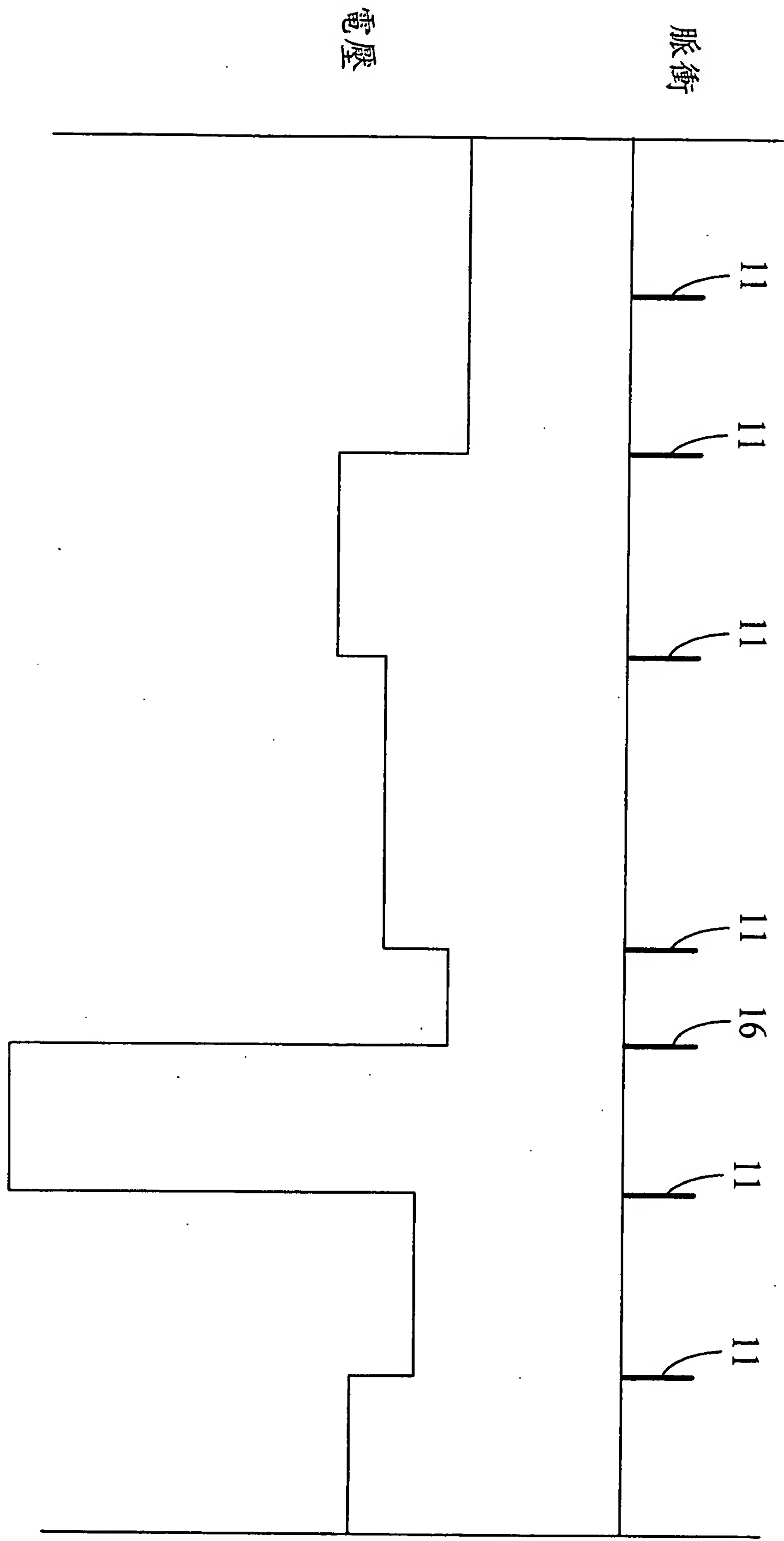


圖 1(c) (習知技藝)

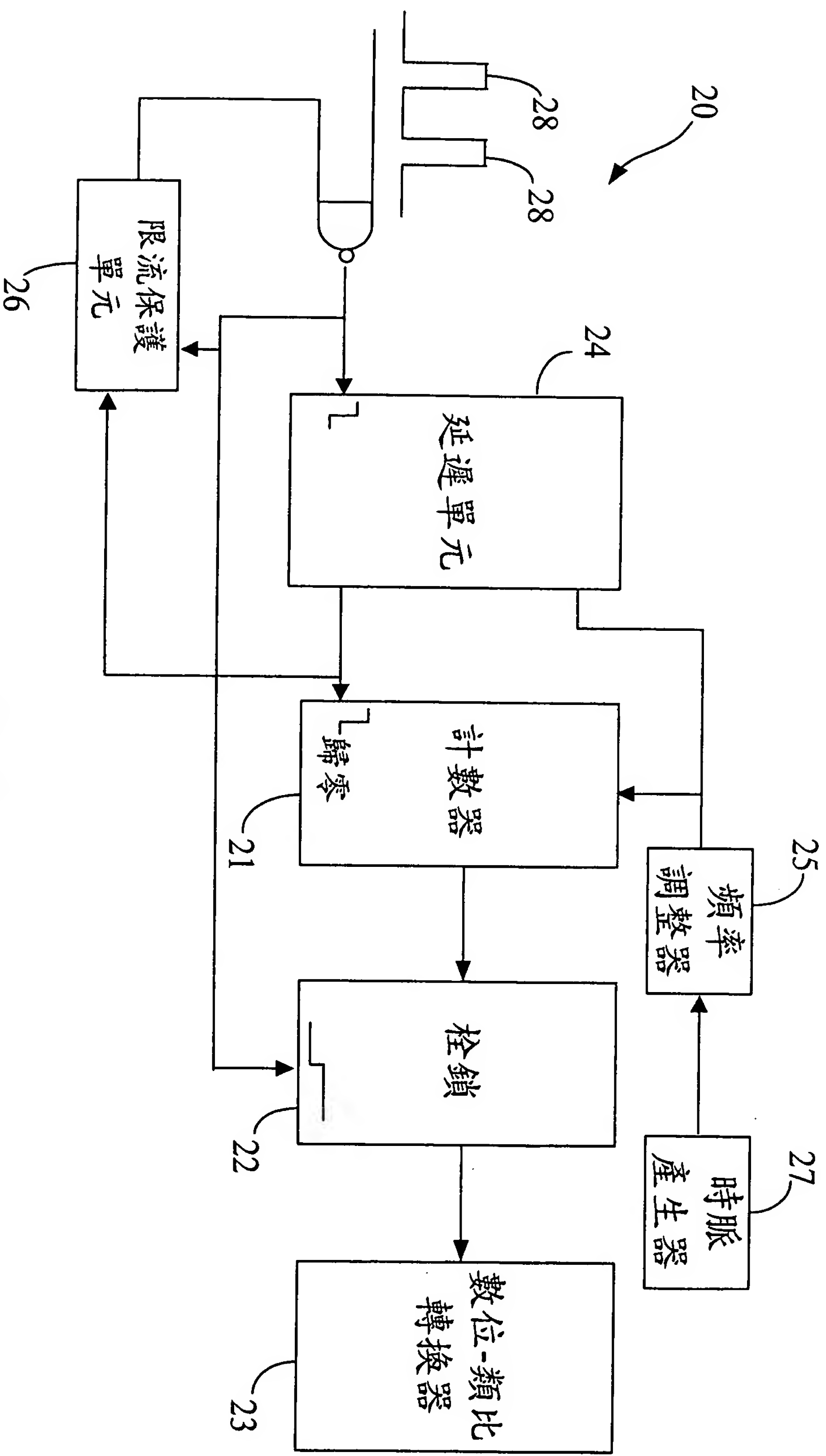


圖 2(a)

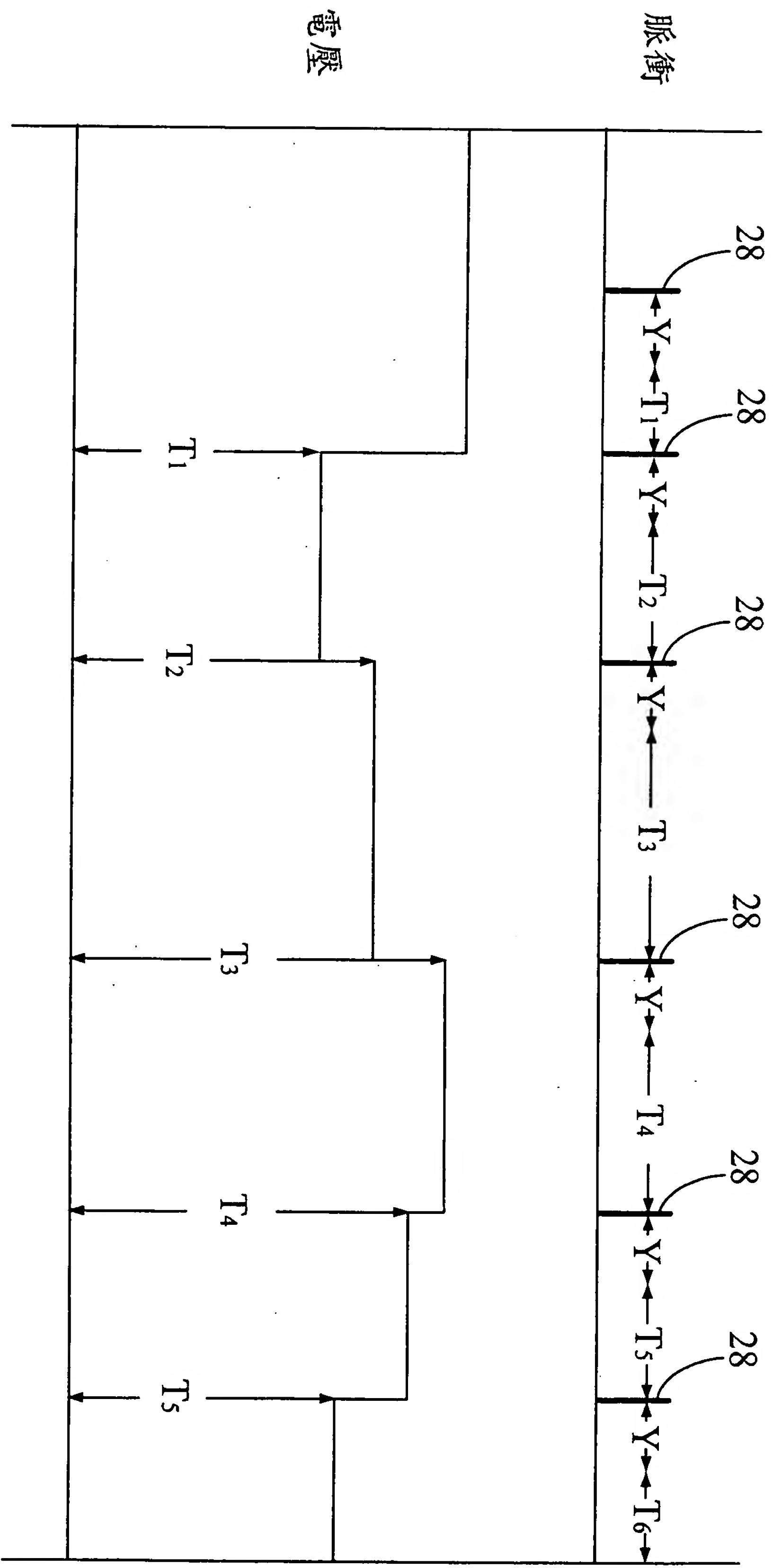


圖 2 (b)

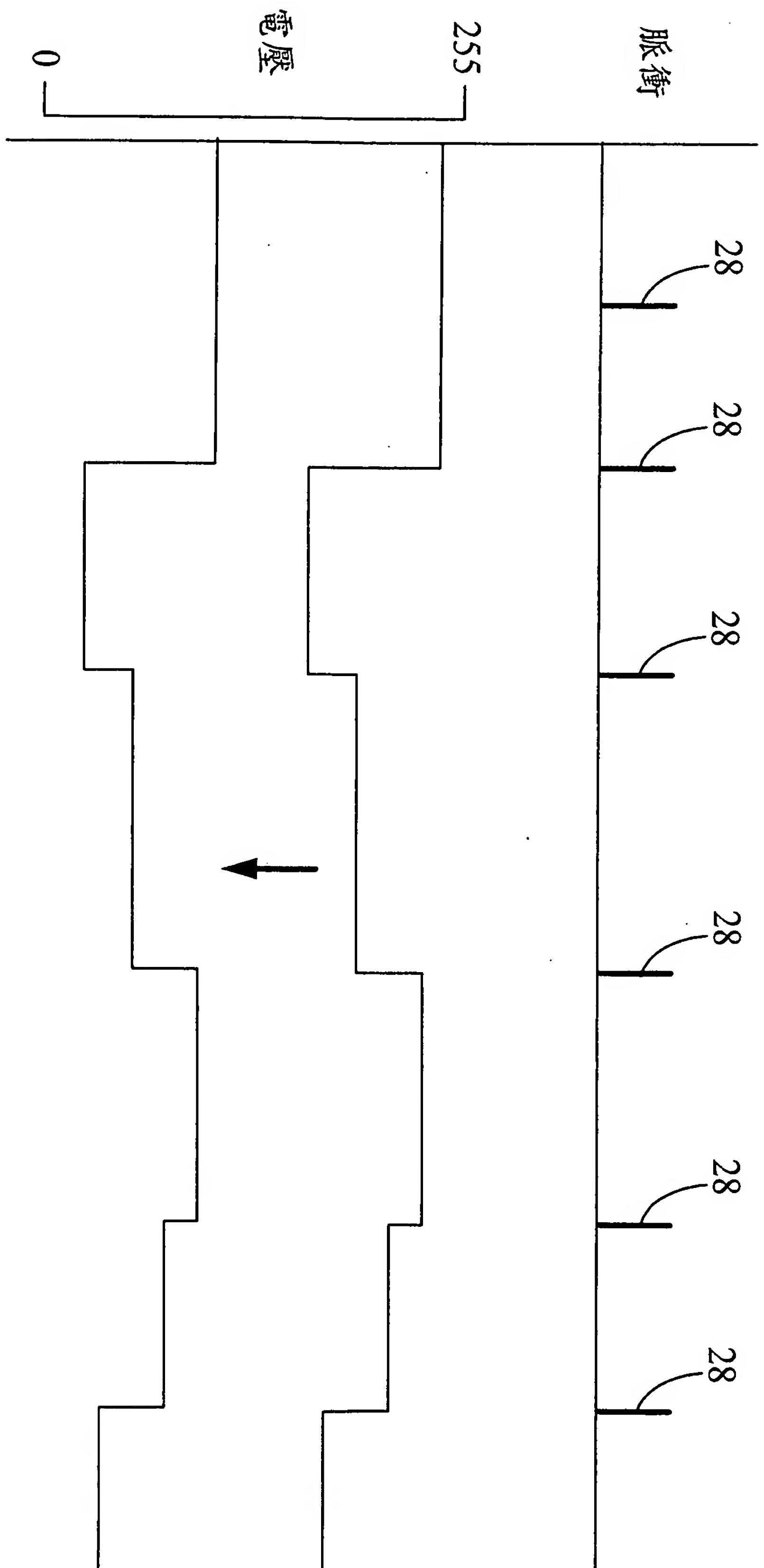


圖 2(c)

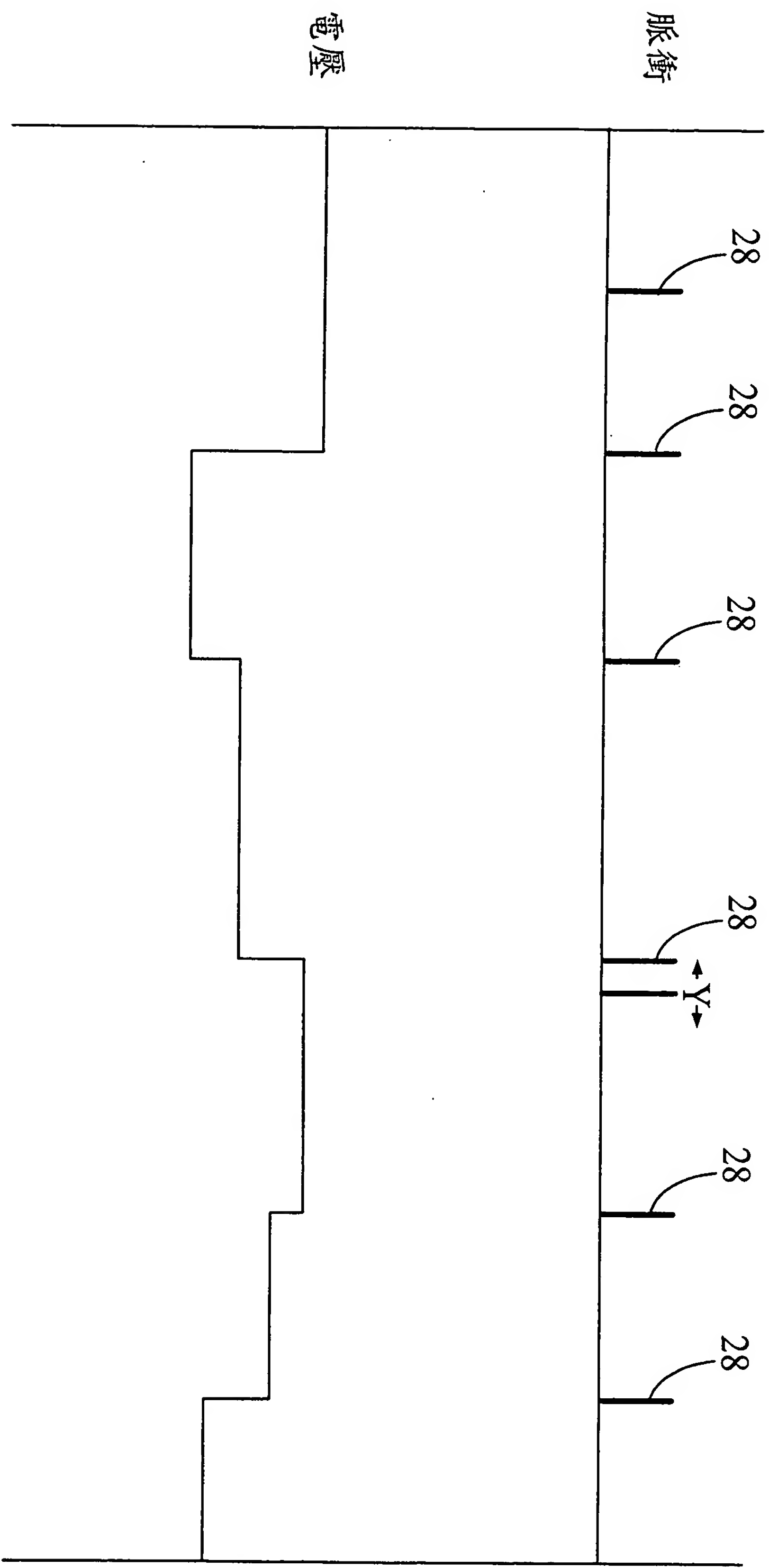


圖 2(e)

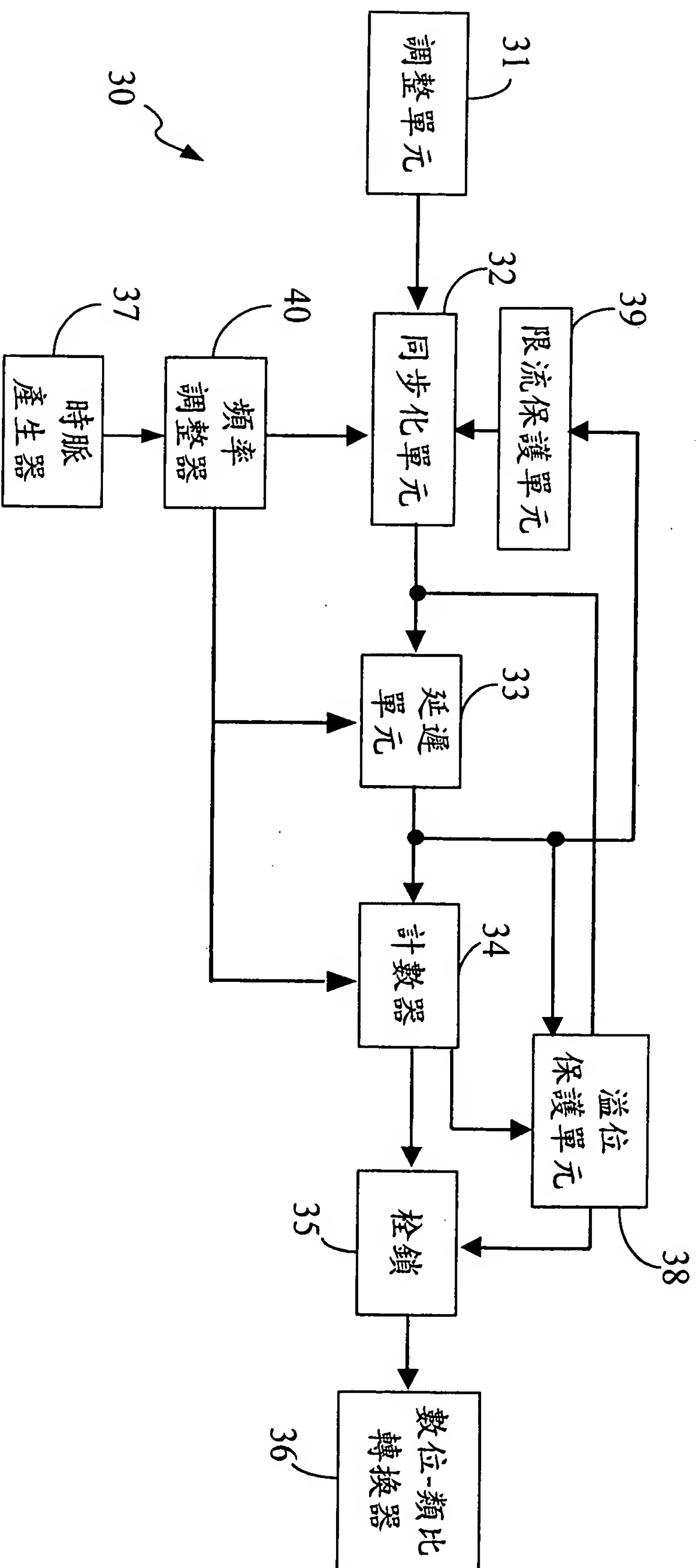


圖 3(a)

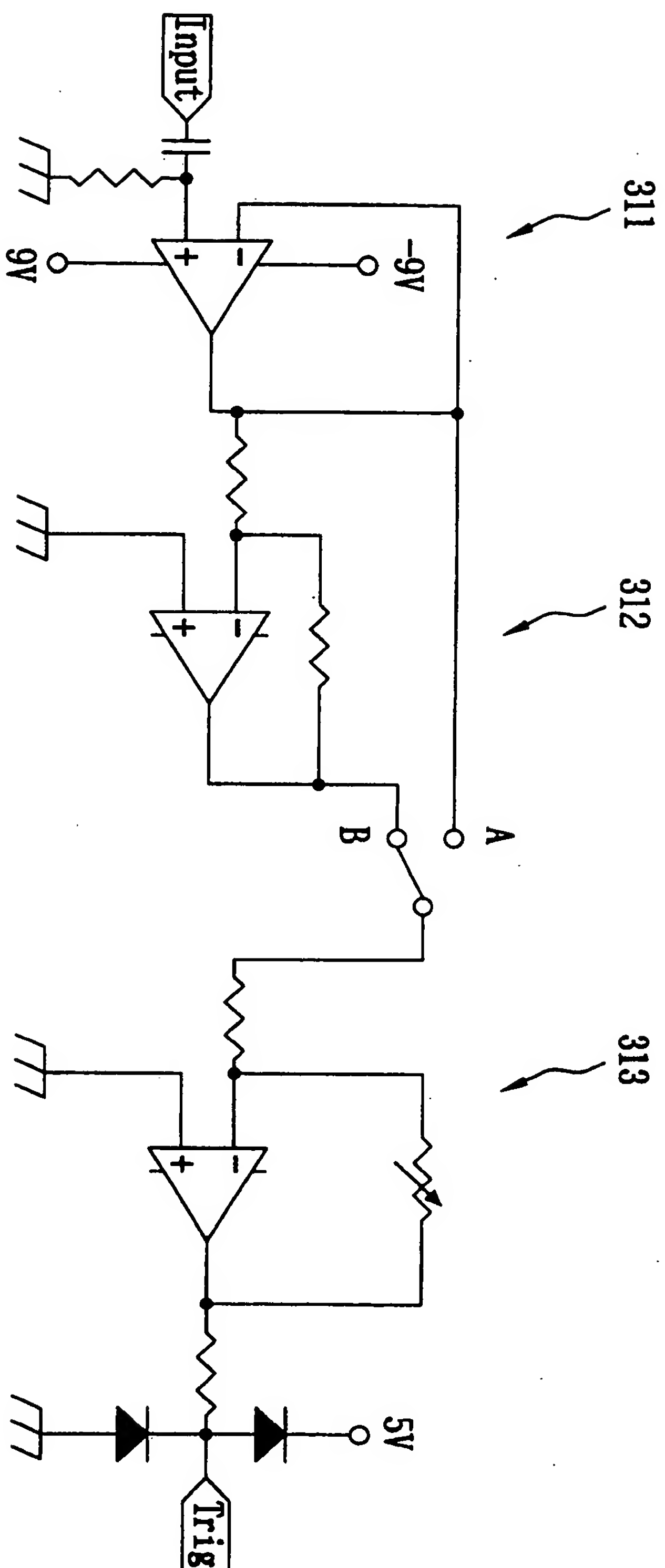


圖 3(b)

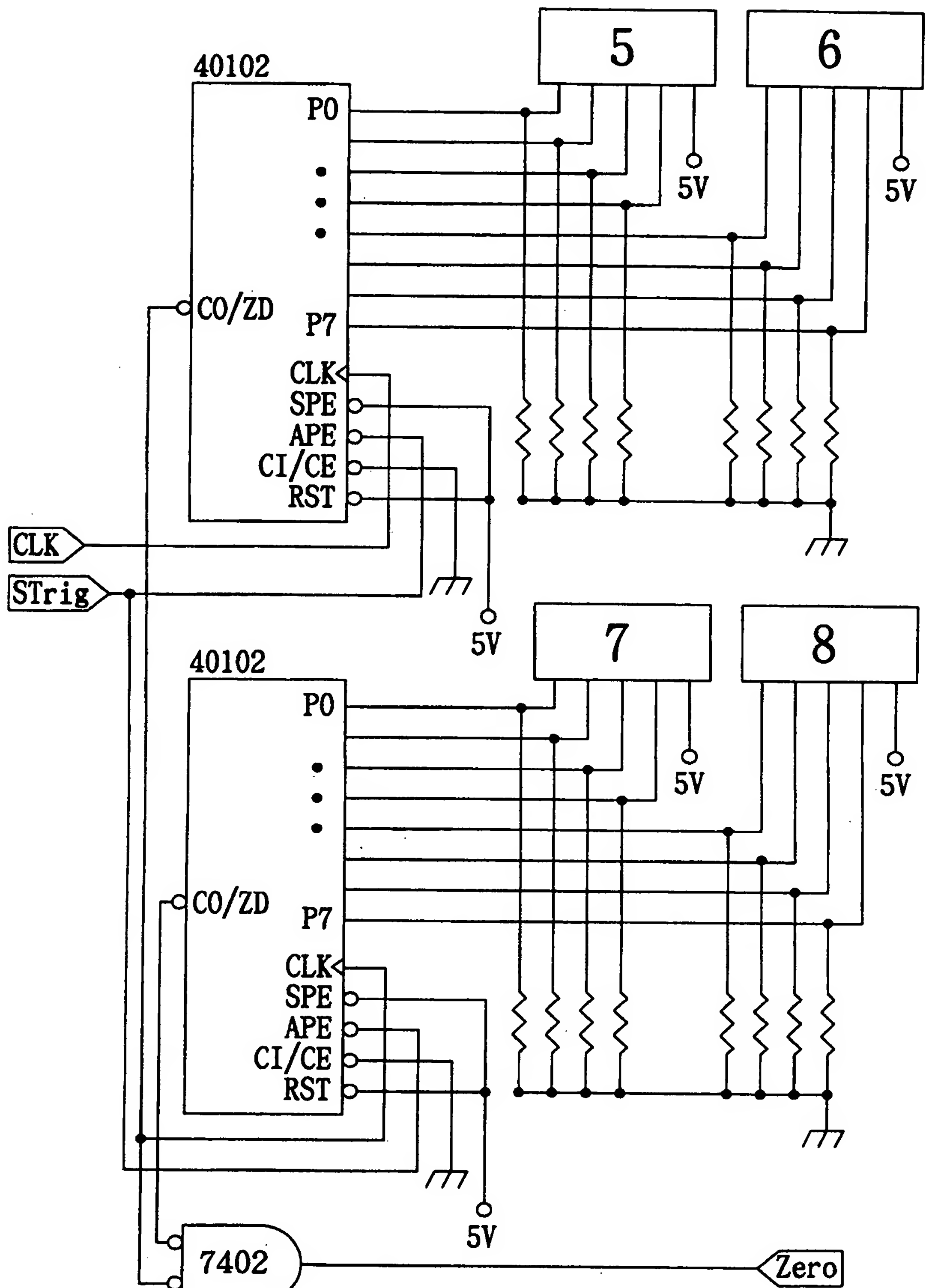


圖 3(d)

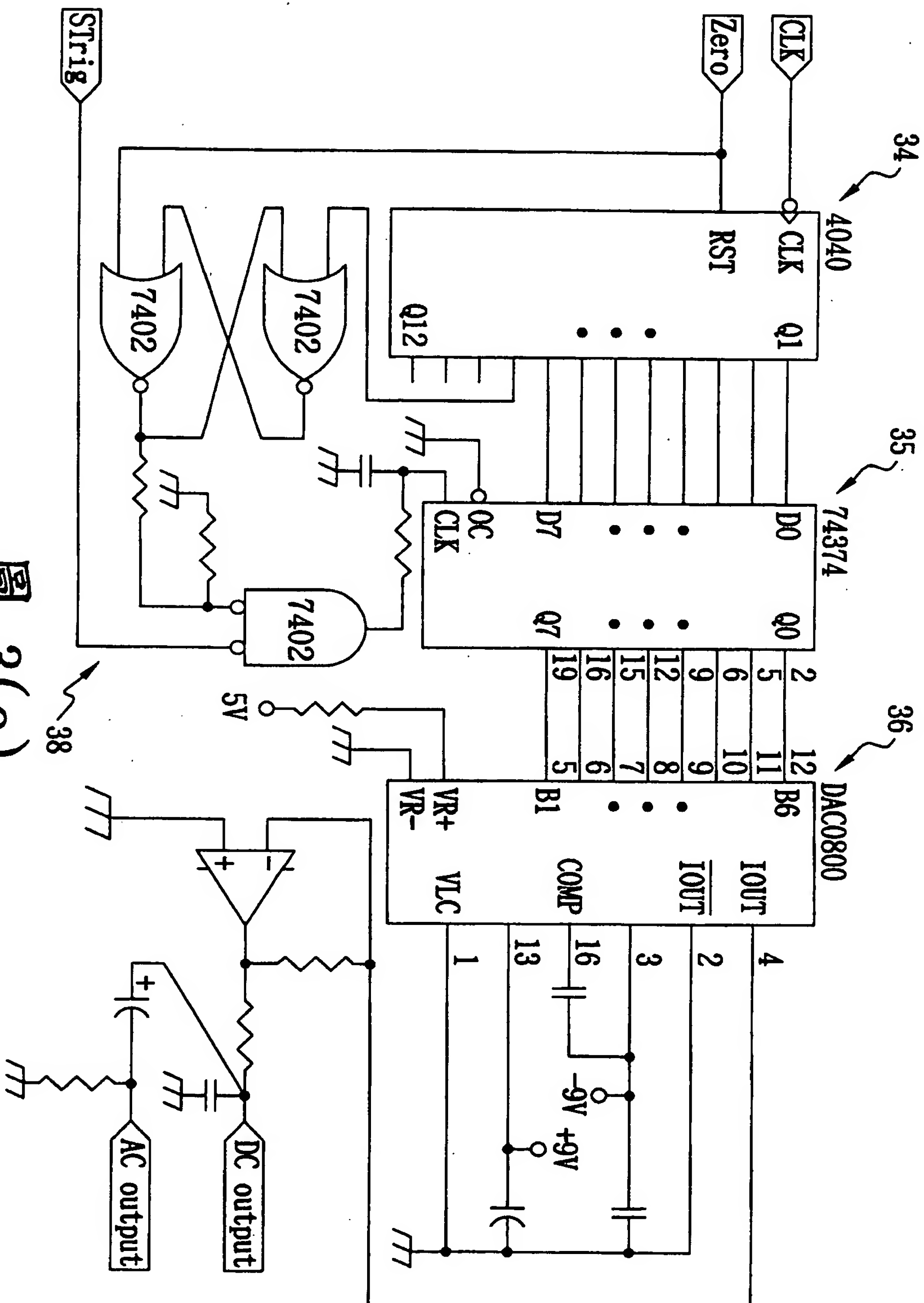


圖 3(e)

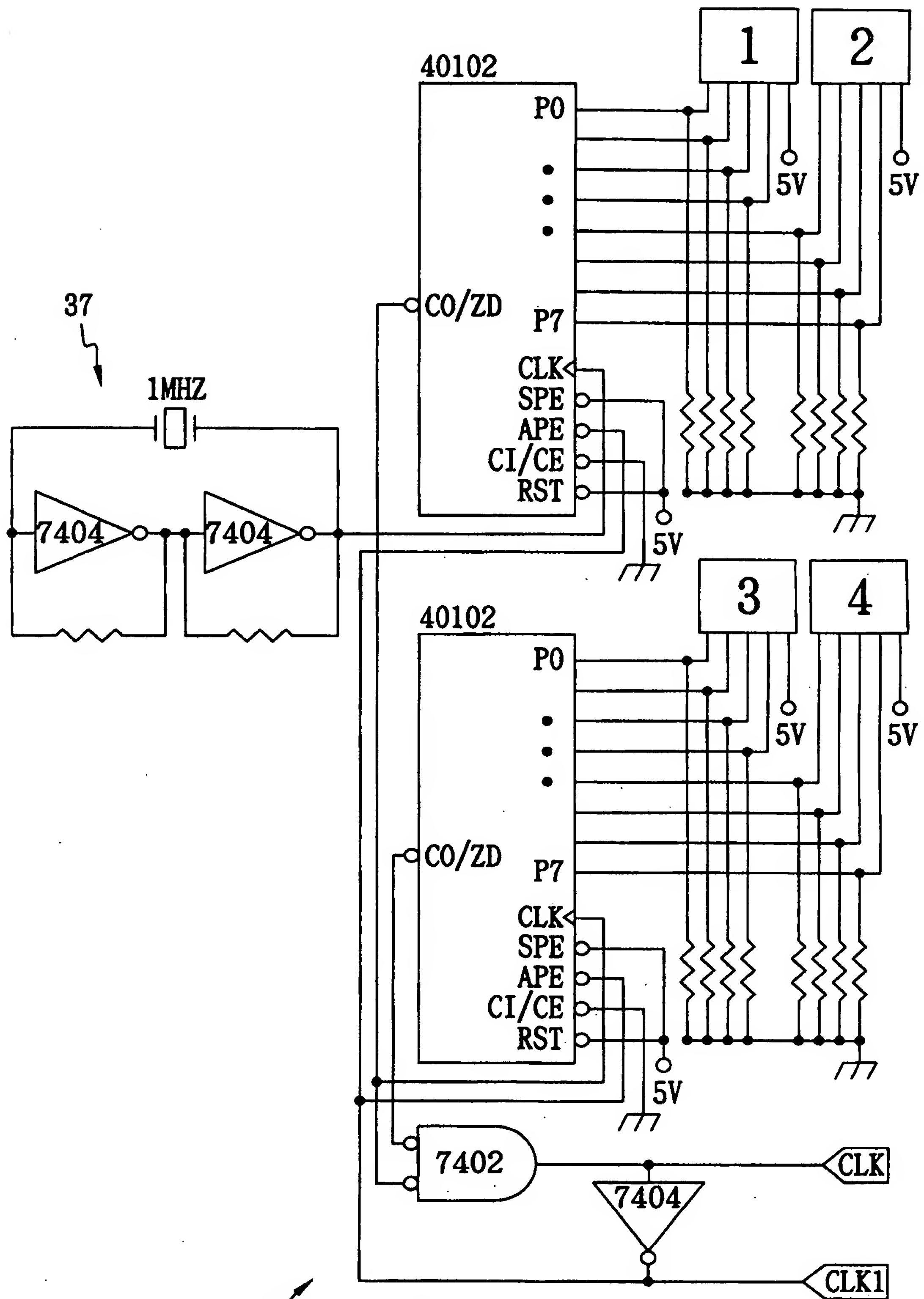


圖 3(f)

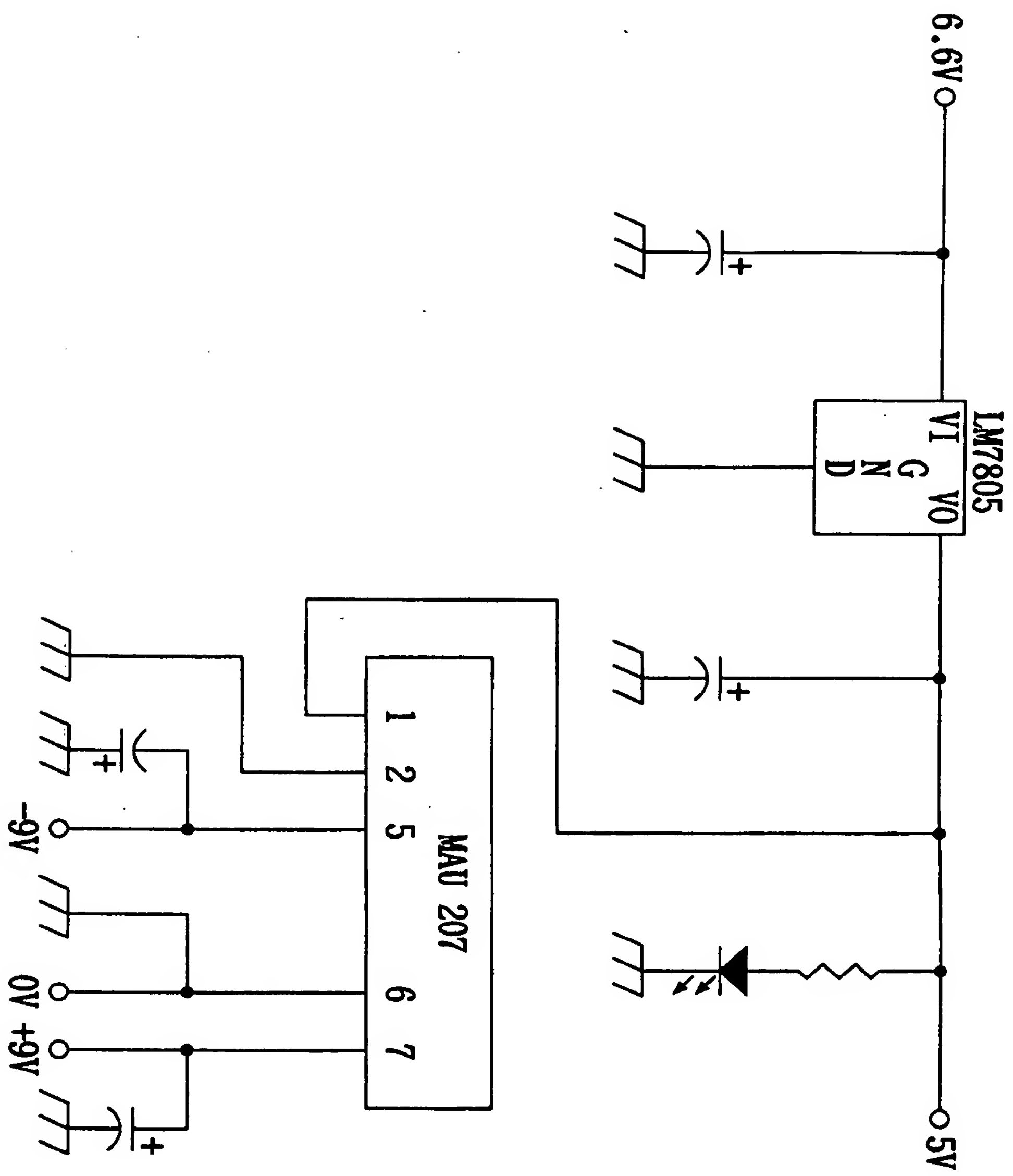


圖 3(8)